

PATENT ABSTRACTS OF JAPAN

(11)Publication number :

2002-168917

(43)Date of publication of application : 14.06.2002

(51)Int.Cl.

G01R 31/28
H01L 21/66
H01L 27/04
H01L 21/822

(21)Application number : 2000-365986

(71)Applicant : FUJITSU LTD

(22)Date of filing : 30.11.2000

(72)Inventor : SAITO NORIAKI
GOTO KUNIHIKO

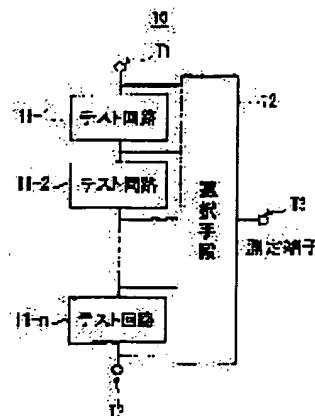
(54) SEMICONDUCTOR CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor circuit for a test capable of mounting a large number of monitors without being limited by the number of pads.

SOLUTION: This semiconductor circuit includes serially connected circuits connected in series by connection of fellow terminals with plural test circuits of which the each contains the monitor of a measured object and has two terminals, a terminal for supplying a voltage from an outside to one end of the serially connected circuits, a terminal for connecting the other end of the serially connected circuits to an external ground, a measuring terminal capable of measuring a potential from an outside, and a selector means for selecting the optional test circuit to connect at least one of two terminals of the selected test circuits to the measuring terminal.

本発明の原理による試験用半導体カップを説明するための図



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-168917
(P2002-168917A)

(43)公開日 平成14年6月14日 (2002.6.14)

(51)Int.Cl.
G 0 1 R 31/28
H 0 1 L 21/66
27/04
21/822

識別記号

F I
H 0 1 L 21/66
G 0 1 R 31/28
H 0 1 L 27/04

コード(参考)
Y 2 G 0 3 2
V 4 M 1 0 6
T 5 F 0 3 8
E

審査請求 未請求 請求項の数 7 O L (全 10 頁)

(21)出願番号 特願2000-365986(P2000-365986)
(22)出願日 平成12年11月30日 (2000.11.30)

(71)出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番
1号
(72)発明者 痛藤 則章
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
(72)発明者 後藤 邦彦
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
(74)代理人 100070150
弁理士 伊東 忠彦

最終頁に続く

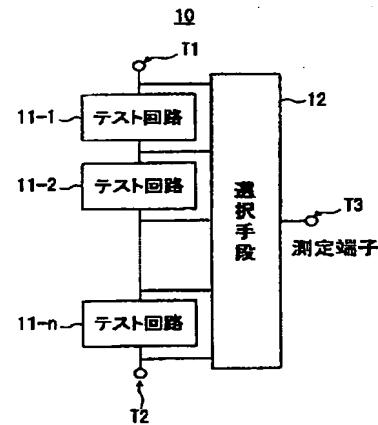
(54)【発明の名称】 半導体回路

(57)【要約】

【課題】本発明は、パッド数によって制限されること無く多くのモニタを搭載可能な試験用半導体回路を提供することを目的とする。

【解決手段】半導体回路は、検査対象であるモニタを含み2つの端子を有するテスト回路を端子同士の接続により複数個直列接続した直列接続回路と、直列接続回路の一方の端に外部から電圧を供給する端子と、直列接続回路の他方の端を外部グランドに接続する端子と、外部から電位測定可能な測定端子と、直列接続回路から任意のテスト回路を選択し選択したテスト回路の2つの端子のうち少なくとも一方を測定端子に接続する選択手段を含む。

本発明の原理による試験用半導体チップを説明するための図



防ぐ役目を有する。モニタM_xが正常に製造されていない場合、或いは電圧印加により許容限界を超えて破壊されてしまった場合など、短絡状態ではなく開放状態になる。この場合、対応するテスト回路11-xの両端の電位を測定することで、モニタM_xが開放状態となっている旨を検出すると共に、モニタM_xの抵抗値（大きな抵抗値）を測定することが出来る。これにより、各モニタを製造する半導体プロセスを評価することが可能となる。

【0021】以下に、本発明の実施例を説明する。

【0022】図4は、開放状態が正常状態であるモニタを検査する際の回路構成の実施例を示す図である。

【0023】図2と同様に、テスト回路11-1乃至11-63が直列に接続され、直列接続の両端に端子T1及び端子T2が設けられる。テスト回路11-1乃至11-63の各々は、モニタM_x及び抵抗R_x（xは1乃至63の何れかの整数）の並列接続より構成される。ここで抵抗R1乃至R63は、その規格上の抵抗値が既知の抵抗（所定の規格で製造された抵抗）である。モニタM1乃至M63は、例えばコンデンサやオフ状態のトランジスタ等のような、正常状態で開放状態である回路素子である。

【0024】図1の選択手段12に対応する機構は、複数のセレクタ回路21よりなる。各セレクタ回路21は、PMOSトランジスタ及びNMOSトランジスタよりなるトランസフアーゲート22及び23と、インバータ24を含む。インバータ24には、外部端子からの選択信号が供給される。この選択信号がHIGHのときにトランസフアーゲート22が開き、選択信号がLOWのときにトランಸフアーゲート23が開く。この動作によって、セレクタ回路21に入力される2本の入力線の一方を選択して、出力線に電気的に接続する。

【0025】端子D0に対してセレクタ回路21は32個設けられており、テスト回路11-1乃至11-63の直列接続の64点の電圧測定点に接続されている。これら32個のセレクタ回路21の32本の出力信号線に、端子D1で制御される16個のセレクタ回路21が接続される。またこれら16個のセレクタ回路21の16本の出力信号線に、端子D2で制御される8個のセレクタ回路21が接続される。このように順次2対1の比率で選択をしていき、端子D5で制御される1個のセレクタ回路21の出力が、選択手段12の出力端子T3となる。この構成によって、テスト回路11-1乃至11-63の直列接続の64点の電圧測定点のうちの一つを選択して、出力端子T3に接続することが出来る。

【0026】図5は、テスト回路のモニタ及び抵抗の値の例を示す図である。

【0027】図5には、異なった回路素子パラメータに対応して項目0乃至項目9が示される。何れの項目においてもモニタ数は63であり、端子T1及びT2間に2

Vの電圧が印加される。またモニタM_xの抵抗値r_mは、通常時に10MΩ（実質的に開放）、異常時に300kΩであるとされている。

【0028】項目0は、M_xの抵抗値が無限大（10MΩ以上）で、M_xの異常が1つも無い場合に対応する。この場合、異常モニタが存在しなければ、テスト回路11-1乃至11-63の直列接続に流れる電流は0.1058μAであり、各通常モニタM_xの両端に現れる電位差は31.7460mVである。

【0029】項目1乃至3は、各抵抗R_xの抵抗値Rが100kΩである場合に対応する。項目1は異常なモニタの数が1つの場合、項目2は異常なモニタの数が10個の場合、項目3は異常なモニタの数が15個の場合である。例えば、異常なモニタの数が1つである項目1の場合、各通常モニタM_xの両端に現れる電位差は31.8725mVであり、異常モニタM_xの両端に現れる電位差は23.9044mVである。

【0030】項目4乃至6は、各抵抗R_xの抵抗値Rが300kΩである場合に対応する。項目4は異常なモニタの数が1つの場合、項目5は異常なモニタの数が10個の場合、項目6は異常なモニタの数が15個の場合である。例えば、異常なモニタの数が1つである項目4の場合、各通常モニタM_xの両端に現れる電位差は32.0000mVであり、異常モニタM_xの両端に現れる電位差は16.0000mVである。

【0031】項目7乃至9は、各抵抗R_xの抵抗値Rが3MΩである場合に対応する。項目7は異常なモニタの数が1つの場合、項目8は異常なモニタの数が10個の場合、項目9は異常なモニタの数が15個の場合である。例えば、異常なモニタの数が1つである項目7の場合、各通常モニタM_xの両端に現れる電位差は32.2108mVであり、異常モニタM_xの両端に現れる電位差は2.9283mVである。

【0032】上記何れの場合においても、モニタM_xの両端に現れる電位差（テスト回路両端の電位差）を測定すれば、そのモニタが正常状態であるのか異常状態であるのかを、測定された電位差から判断することが出来る。また抵抗R_xは、その規格上の抵抗値が既知であるので、この抵抗値を基にして、正常時及び異常時の何れの場合であっても、測定された電位差からモニタの抵抗値を算出することが出来る。

【0033】但し厳密に言えば、抵抗R_xはその規格上の抵抗値が既知であるだけで、実際の抵抗値は不明である。またこの実際の抵抗値は測定することも不可能である。従って、抵抗R_xの実際の抵抗値が規格上の抵抗値と異なっていた場合には、規格上の抵抗値を用いて測定された電位差からモニタの抵抗値を算出すると、実際のモニタの抵抗値とは異なってしまうことになる。

【0034】この様子が、図5の下部に示される。例えば実際の抵抗R_xの抵抗値Rが、規格上の抵抗値よりも

20%大きい場合には、規格どおりの場合に比較して異常モニタの両端の電位差が大きくなってしまう。項目1の場合には、異常モニタの両端の電位差は27.3193mVとなり、抵抗 R_x の抵抗値が規格どおりの場合(23.9044mV)と比較して増大している。この(抵抗 R_x の実際の抵抗値が規格上の抵抗値とは異なることに起因する)異常モニタ両端に生じる電位差の誤差は、規格上の抵抗 R_x の抵抗値 R が大きくなるほど小さくなる。項目7の場合即ち規格上の抵抗値 R が3MΩの場合には、異常モニタの両端の電位差は、抵抗値 R が規格どおりの場合に2.9283mVであるのに対して、抵抗値 R が規格より20%増の場合には2.9733mVとなっている。このように、規格上の抵抗 R_x の抵抗値 R が大きくなるほど、抵抗 R の誤差による異常モニタの両端の電位差への影響は小さくなる。

【0035】抵抗 R の誤差は、異常モニタ両端の電位差から算出するモニタの抵抗値にも影響を与える。例えば、抵抗値 R が規格上の抵抗値よりも20%大きい場合には、項目1において、異常モニタの両端の電位差は27.3193mVである。この電位差を測定して、規格上の抵抗値である100kΩを用いてモニタの抵抗値を算出すると600kΩとなる。これは実際の異常モニタの抵抗値である300kΩに比べて約2倍であり、100%の誤差になってしまふ。しかしこの誤差は、規格上の抵抗 R_x の抵抗値 R が大きくなるほど小さくなる。例えば、抵抗値 R が規格上の抵抗値よりも20%大きい場合には、項目7において、異常モニタの両端の電位差は2.9733mVである。この電位差を測定して、規格上の抵抗値である3MΩを用いてモニタの抵抗値を算出すると305kΩとなる。これは実際の異常モニタの抵抗値である300kΩに略等しく、約1.7%の誤差しか生じない。

【0036】このように本発明においては、テスト回路11-1乃至11-nにおいてモニタ M_x に並列に接続する抵抗 R_x の抵抗値が大きいほど、この抵抗値の規格上の値からずれる誤差が、算出されたモニタ抵抗値に与える影響は小さくなる。これは、モニタ M_x に並列に接続する抵抗 R_x の抵抗値が大きいほど、モニタ M_x を流れる電流に比較して抵抗 R_x 側を流れる電流が小さくなり、テスト回路両端に現れる電位差はモニタの抵抗値だけを反映した電位差に近づくからである。即ち、テスト回路両端に現れる電位差がモニタの抵抗値だけを反映した電位差に近いほど、抵抗 R_x の抵抗値の誤差の影響が小さくなり、正確なモニタ抵抗値を測定することが可能になる。

【0037】実際には大きな抵抗ほどチップ上で占める面積が大きくなるので、使用可能な面積と測定精度との兼ね合いを考慮して、例えば測定したいモニタの異常時の抵抗値を r_m とした場合、 $r_m < R$ の範囲で抵抗 R_x の抵抗値 R を適当な値に設定すればよい。

【0038】図6は、実質短絡状態が正常状態であるモ

ニタを検査する際の回路構成の実施例を示す図である。図4と同一の要素は同一の参照番号で参照され、その説明は省略される。

【0039】図3と同様に、テスト回路11-1乃至11-63が直列に接続され、直列接続の両端に端子T1及び端子T2が設けられる。テスト回路11-1乃至11-63の各々は、モニタ M_x 、抵抗 r_x 、及び抵抗 R_x (x は1乃至63の何れかの整数)を含む。ここで抵抗 r_x はモニタ M_x に直列に接続され、この直列接続に抵抗 R_x が並列に接続される。ここで抵抗 R_1 乃至 R_{63} 及び r_1 乃至 r_{63} は、その規格上の抵抗値が既知の抵抗(所定の規格で製造された抵抗)である。モニタ M_1 乃至 M_{63} は、例えば抵抗やオン状態のトランジスタ等のような、正常状態で導通状態である回路素子である。

【0040】図7は、テスト回路のモニタ及び抵抗の値の例を示す図である。

【0041】図7には、異なった回路素子パラメータに対応して項目0乃至項目9が示される。何れの項目においてもモニタ数は63であり、端子T1及びT2間に2Vの電圧が印加される。またモニタ M_x の抵抗値 r_m は、通常時に5Ω(実質的に短絡)、異常時に100Ωであるとされている。また更に、抵抗 R_x の抵抗値 R は500Ωである。

【0042】項目0は、抵抗 r_x の抵抗値 r が20Ωであり、異常モニタが存在しない場合に対応する。この場合、テスト回路11-1乃至11-63の直列接続に流れる電流は1.3333μAであり、各通常モニタ M_x の電位差は31.7460mVである。

【0043】項目1乃至3は、抵抗 r_x が存在しない場合($r=0$)に対応する。項目1は異常なモニタの数が1つの場合、項目2は異常なモニタの数が10個の場合、項目3は異常なモニタの数が60個の場合である。例えば、異常なモニタの数が60個である項目3の場合、各通常モニタ M_x の電位差は1.9743mVであり、異常モニタ M_x の電位差は33.2346mVである。

【0044】項目4乃至6は、各抵抗 r_x の抵抗値 r が5Ωである場合に対応する。項目4は異常なモニタの数が1つの場合、項目5は異常なモニタの数が20個の場合、項目6は異常なモニタの数が60個の場合である。例えば、異常なモニタの数が60個である項目6の場合、各通常モニタ M_x の電位差は3.7448mVであり、異常モニタ M_x の電位差は33.1461mVである。

【0045】項目7乃至9は、各抵抗 r_x の抵抗値 r が20Ωである場合に対応する。項目7は異常なモニタの数が1つの場合、項目8は異常なモニタの数が20個の場合、項目9は異常なモニタの数が60個の場合である。例えば、異常なモニタの数が60個である項目9の場合、各通常モニタ M_x の電位差は8.1014mVであり、異常モニタ M_x の電位差は32.9283mVである。

【0046】ここで抵抗 r_x は、電流にリミットをかけて素子を破壊しない役割を果たす。従って、図8に示されるように、テスト回路 11-1 乃至 11-n の直列接続の一部に抵抗 30 を直列に挿入するようにすれば、各テスト回路に抵抗 r_x を挿入しなくてもよい。但し図8のような構成においては、抵抗 30 は、電流にリミットをかける機能しか果たさないが、図6の抵抗 r_x には、電流リミット機能以外の機能も果たしている。

【0047】図7の項目3に示されるように、抵抗 r_x が存在せず異常モニタの数が多い場合には、流れる電流量が少なくなり、各通常モニタ M_x の電位差は 1.9743mV と小さい値となっている。この時、例えば電圧を測定する電圧計の分解能が 2 mV であるとすると、1.9743mV は丸められて 2 mV となってしまう。しかしながら例えば項目9に示されるように、20Ωの抵抗 r_x を設けた場合には、異常モニタの数が多くなり流れる電流量が少なくなってしまっても、各通常モニタ M_x の電位差は 8.1014mV となる。従って、少ない電流でも大きな電位差を確保することが可能となる。

【0048】但し抵抗 r_x の抵抗値 r を抵抗 R_x の抵抗値 R に近づけてしまうと、通常モニタの場合と異常モニタの場合とで、電位差にそれ程の違いが無くなってしまう。図9は、抵抗値 r を抵抗値 R に近づけた場合の各電流・電圧値を示す図である。図9に示されるように、抵抗値 r を 300Ω として抵抗値 R の 500Ω に近づけた場合、通常モニタの場合の電位差と異常モニタの場合の電位差にそれ程の違いがなくなり、抵抗 R_x の製造ばらつきによる差なのか、或いは実際にモニタの抵抗値が変化したために生じた差であるのかが判別できなくなってしまう。

【0049】以上のように、導通状態が正常状態であるモニタを検査する際の回路構成においては、抵抗 r_x をモニタ M_x に直列に接続し、この直列接続を抵抗 R_x に並列接続する構成が好ましい。抵抗 r_x の抵抗値 r としては、測定したいモニタの正常時の抵抗値を r_m とした場合、 $r_m < r < R$ の値であることが好ましい。例えば、抵抗値 r は、そのオーダーが抵抗値 r_m より少なくとも一桁高く、また抵抗 R_x の抵抗値 R より少なくとも一桁低くなるように設定することが好ましい。

【0050】以上説明したように、本発明の試験用半導体チップにおいては、各々が測定対象のモニタを含む複数のテスト回路を直列に接続し、任意の1つのテスト回路を選択してその上端接続点の電位と下端接続点の電位とを選択手段を介して測定可能な構成とすることで、テスト回路に生じる電圧降下を測定することができる。これによって、例えば本来開放状態であるはずのモニタが正しく開放状態にあるか否か、また本来短絡状態であるはずのモニタが正しく短絡状態にあるか否か等を判断することが出来る。

【0051】なお直列接続された複数のテスト回路の各

モニタは同一である必要はなく、それぞれが異なるモニタであって構わない。また各テスト回路の抵抗素子の抵抗値は、全て同一である必要はなく、測定対象のモニタに応じて変化させてよい。或いは、各テスト回路の抵抗素子の抵抗値を全て同一に設定してもよい。

【0052】以上、本発明を実施例に基づいて説明したが、本発明は上記実施例に限定されるものではなく、特許請求の範囲に記載の範囲内で様々な変形が可能である。

10 【0053】なお本発明の内容は、以下に記載される範囲の発明を含むものである。

【0054】付記1) 検査対象であるモニタを含み2つの端子を有するテスト回路を該端子同士の接続により複数個直列接続した直列接続回路と、該直列接続回路の一方の端に外部から第1の電圧を供給する端子と、該直列接続回路の他方の端に外部から第2の電圧を供給する端子と、外部から電位測定可能な測定端子と、該直列接続回路から任意のテスト回路を選択し該選択したテスト回路の該2つの端子のうち少なくとも一方を該測定端子に接続する選択手段を含むことを特徴とする半導体回路。

【0055】付記2) 該モニタは正常時に実質的に開放状態であり異常時に実質的に導通状態になる回路素子であることを特徴とする付記1記載の半導体回路。

【0056】付記3) 該モニタは正常時に実質的に短絡状態であり異常時に実質的に高インピーダンス状態となることを特徴とする付記1記載の半導体回路。

【0057】付記4) 該テスト回路は、該モニタと抵抗とを並列接続した回路であることを特徴とする付記1記載の半導体回路。

30 【0058】付記5) 該抵抗の抵抗値は、異常時における該モニタの測定対象の抵抗値よりも大きいことを特徴とする付記4記載の半導体回路。

【0059】付記6) 該直列接続回路は更に直列接続された電流制限用の抵抗を含むことを特徴とする付記4記載の半導体回路。

【0060】付記7) 該テスト回路は、該モニタと第1の抵抗とを直列接続し、該モニタと該第1の抵抗との直列接続を第2の抵抗と並列接続した回路であることを特徴とする付記1記載の半導体回路。

40 【0061】付記8) 該第1の抵抗の抵抗値は正常時における該モニタの測定対象の抵抗値よりも大きく、該第2の抵抗の抵抗値は該第1の抵抗の抵抗値よりも大きいことを特徴とする付記7記載の半導体回路。

【0062】付記9) 該選択手段は、 2^n ピットの選択に対して n 個の選択用端子を含むことを特徴とする付記1記載の半導体装置。

【0063】

【発明の効果】本発明の試験用半導体チップにおいては、各々が測定対象のモニタを含む複数のテスト回路を直列に接続し、任意の1つのテスト回路を選択してその

11

上端接続点の電位と下端接続点の電位とを選択手段を介して測定可能な構成とすることで、テスト回路に生じる電圧降下を測定することが出来る。この構成では、テスト回路或いはその内部のモニタ回路に電気的に接続される端子は、複数の直列接続されたテスト回路に対する電源電圧端子、グランド電圧端子、及び測定端子の計3個で済むことになり、従来の構成と比較して大幅に端子数ひいてはパッド数を削減することが可能になる。従って、単一のチップに数多くのモニタを搭載することが可能になり、効率的な試験用半導体チップを生成することが出来る。

【図面の簡単な説明】

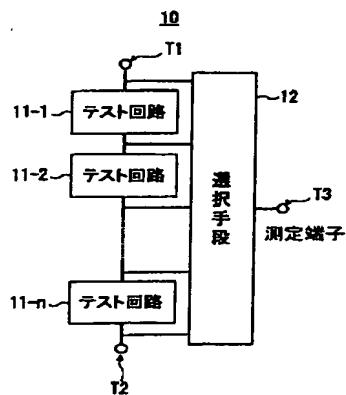
【図1】本発明の原理による試験用半導体チップを説明するための図である。

【図2】開放状態が正常状態であるモニタを検査する際の回路構成を示す図である。

【図3】短絡状態が正常状態であるモニタを検査する際*

【図1】

本発明の原理による試験用半導体チップを説明するための図



12

*の回路構成を示す図である。

【図4】開放状態が正常状態であるモニタを検査する際の回路構成の実施例を示す図である。

【図5】テスト回路のモニタ及び抵抗の値の例を示す図である。

【図6】実質短絡状態が正常状態であるモニタを検査する際の回路構成の実施例を示す図である。

【図7】テスト回路のモニタ及び抵抗の値の例を示す図である。

【図8】実質短絡状態が正常状態であるモニタを検査する際の回路構成の別の実施例を示す図である。

【図9】抵抗値 r を抵抗値 R に近づけた場合の各電流・電圧値を示す図である。

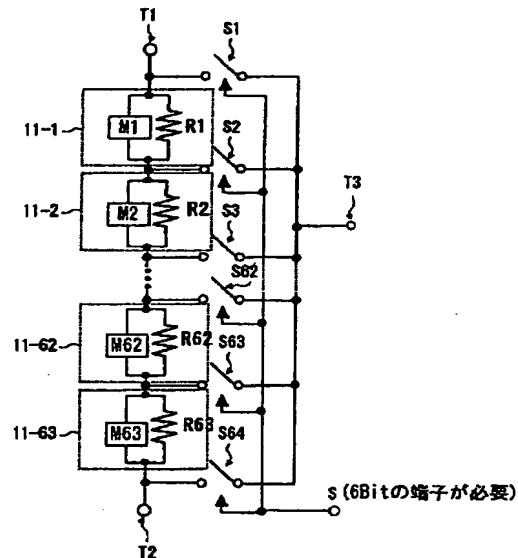
【符号の説明】

1 1 - 1 乃至 1 1 - n テスト回路

1 2 選択手段

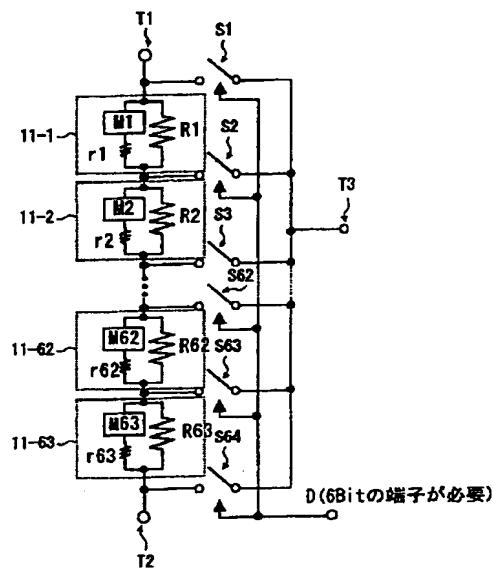
【図2】

開放状態が正常状態であるモニタを検査する際の回路構成を示す図



【図3】

短絡状態が正常状態であるモニタを検査する際の回路構成を示す図



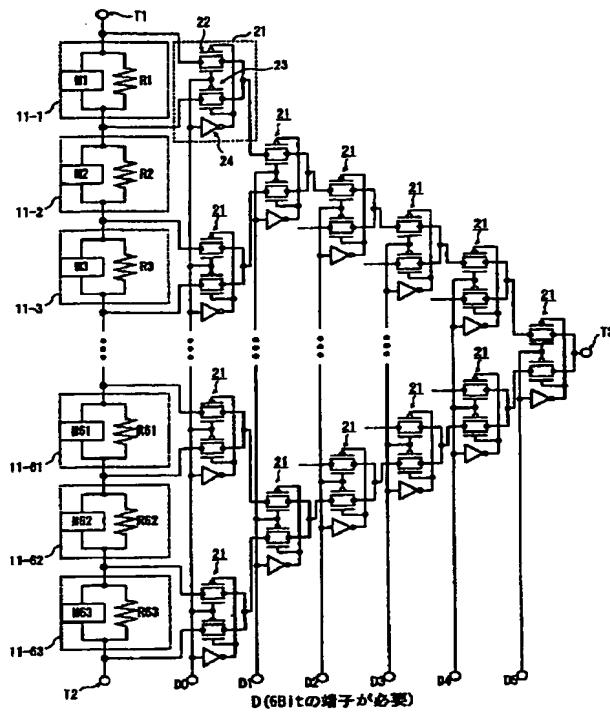
【図5】

テストの回路のモニタ及び抵抗の値の例を示す図

項目	1	2	3
印加電圧(V)	1.0000	1.0000	1.0000
t-セ数(分)	63	63	63
Rの大きさ(Ω)	500	500	500
rの大きさ(Ω)	300	300	300
通常のrm(Ω) 5Ω	5	5	5
異常のrm(Ω)	100	100	100
異常セの数(分)	1	20	60
電圧値(mV)	0.1671	0.1589	0.1439
通常セの電位差(mV)	31.6591	30.0929	27.2544
異常セの電位差(mV)	37.1374	35.3002	31.0766
rmの大きさ(Ω)	3.05E-06	2.40E-06	2.03E-05
rmの大きさ(Ω)	31.7497	31.775	31.795
rmの大きさ(Ω)	11.594	11.704	11.715
rmの大きさ(Ω)	27.3159	26.1200	26.1300
rmの大きさ(Ω)	17.3159	17.3159	17.3159
rmの大きさ(Ω)	20.1200	20.1200	20.1200
rmの大きさ(Ω)	1.00E-05	1.00E-05	1.00E-05
rmの大きさ(Ω)	1.71E-05	1.71E-05	1.71E-05

【図4】

開放状態が正常状態であるモニタを検査する際の回路構成の実施例を示す図



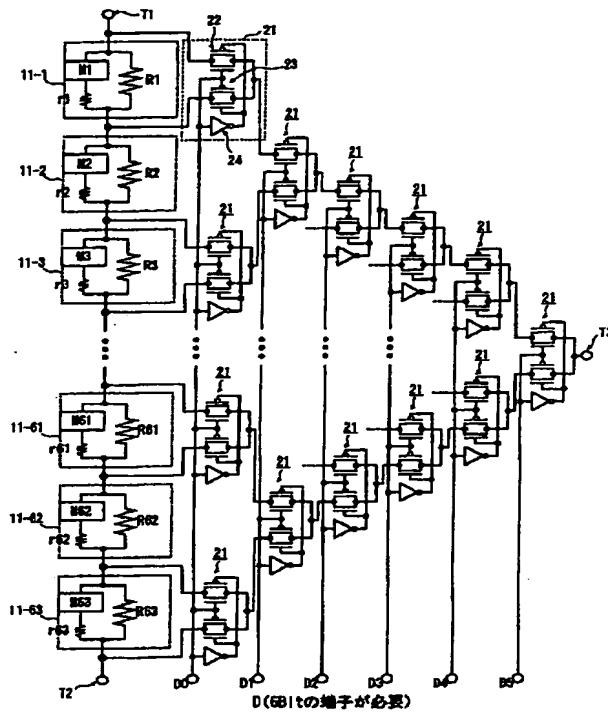
【図9】

抵抗値 r を抵抗値 R に近づけた場合の各電流・電圧値を示す図

項目	R=500	r=300	rm=5→100
1	1	2	3
2	2	2	2
63	63	63	63
500	500	500	500
300	300	300	300
5	5	5	5
100	100	100	100
1	1	20	60
0.1671	0.1589	0.1439	
31.6591	30.0929	27.2544	
37.1374	35.3002	31.0766	

【図6】

実質短絡状態が正常状態であるモニタを検査する際の回路構成の実施例を示す図

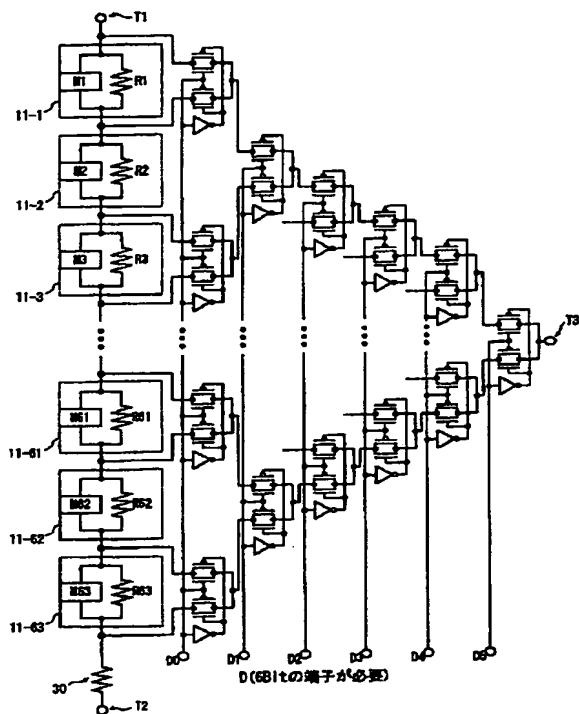


【図7】

テストの回路のモニタ及び抵抗の値の例を示す図

[図 8]

実質短絡状態が正常状態であるモニタを検査する際の回路構成の別の実施例を示す図



フロントページの続き

F ターム(参考) 2G032 AH03 AK02 AK15 AL05
4M106 AA02 AA07 AA08 AB12 AC02
AD01 AD30 BA14 CA01 CA10
DH09
5F038 BE02 DT04 DT12 EZ20